

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-273352

(43)Date of publication of application : 26.09.2003

(51)Int.Cl.

H01L 29/78  
H01L 21/822  
H01L 21/8242  
H01L 27/04  
H01L 27/10  
H01L 27/108

(21)Application number : 2002-075730

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 19.03.2002

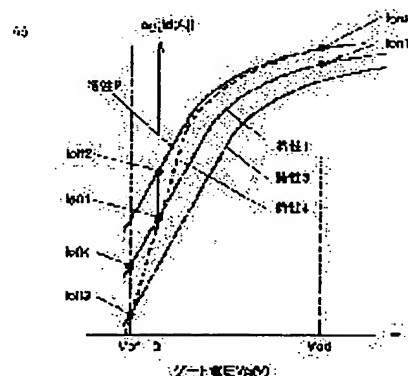
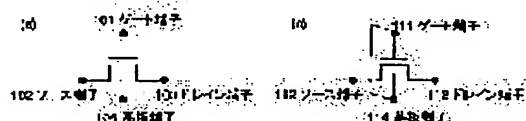
(72)Inventor : MORITA KIYOYUKI  
TOYODA KENJI  
UEDA MICHIIHITO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain high driving currents equivalent to those of a DTMOS configured to electrically short-circuit a gate electrode and a board electrode, and to reduce leakage currents to those of a conventional MOS transistor or less.

**SOLUTION:** The gate electrode of an N type MOS transistor and a board electrode are electrically short-circuited, and a voltage to be applied to the gate terminal is used with the voltage amplitude ranging from a power supply voltage to a negative voltage. At the time of turning on the transistor, a large positive voltage is applied to the gate electrode and the board electrode so that large driving currents equivalent to those of a DTMOS can be obtained. On the other hand, at the time of turning off the transistor, a negative voltage is applied to the gate electrode and the board electrode so that leakage currents can be more sharply reduced than in a conventional manner.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 29/78		H01L 27/10	371 5F038
21/822		29/78	301 J 5F083
21/8242		27/04	M 5F140
27/04		27/10	691
27/10	371		

審査請求 未請求 請求項の数12 O L (全8頁) 最終頁に続く

(21) 出願番号 特願2002-75730 (P 2002-75730)

(22) 出願日 平成14年3月19日 (2002. 3. 19)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森田 清之

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 豊田 健治

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

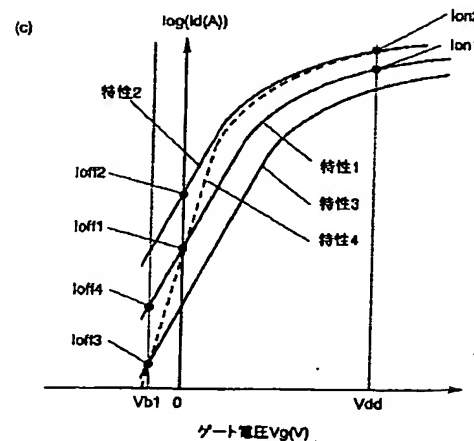
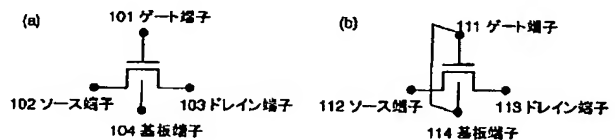
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ゲート電極と基板電極とを電気的に短絡した構造を有するDTMOSと同等の高い駆動電流を持ちさらに漏れ電流を従来のMOSトランジスタ以下に低減する。

【解決手段】 N型MOSトランジスタのゲート電極と基板電極とを電気的に短絡し、かつゲート端子に印加する電圧として電源電圧から負電圧までの電圧振幅で用いる。トランジスタをONするときはゲート電極及び基板電極に共に大きな正の電圧が印加されるため、DTMOSと同等の大きな駆動電流を得ることができる。一方、トランジスタをOFFするときはゲート電極及び基板電極に共に負の電圧が印加されるため、従来に比べて漏れ電流を大幅に低減することができる。



## 【特許請求の範囲】

【請求項1】 電界効果型のトランジスタであって、ゲート電極と基板電極とを電氣的に短絡し、前記トランジスタのソース電極とドレイン電極を電氣的に短絡動作するときには、前記トランジスタのチャンネル部に反転層を形成する方向の極性の第一の電圧を前記ゲート電極に少なくとも電源電圧以上の大きさに印加し、前記トランジスタを電氣的に短絡動作させないときには、前記トランジスタのチャンネル部に蓄積層を形成する方向の極性の第二の電圧を前記ゲート電極に印加することを特徴とする半導体装置。

【請求項2】 第二の電圧の絶対値として0V以上0.3V以内の大きさの電圧を用いることを特徴とする請求項1記載の半導体装置。

【請求項3】 電界効果型のトランジスタとしてN型のトランジスタを用い、第一の電圧として電源電圧以上の正の電圧を用い、第二の電圧として負の電圧を用いることを特徴とする請求項1記載の半導体装置。

【請求項4】 電界効果型のトランジスタとしてP型のトランジスタを用い、第一の電圧としてソース電圧もしくはドレイン電圧に対して相対的に負の電圧でありかつ電源電圧以上の絶対値を有する電圧を用い、第二の電圧としてソース電圧もしくはドレイン電圧に対して相対的に正の電圧を用いることを特徴とする請求項1記載の半導体装置。

【請求項5】 スイッチングトランジスタとデータ蓄積容量からなるメモリセルをアレイ上に並べたダイナミック・ランダム・アクセス・メモリ(DRAM)において、前記スイッチングトランジスタのゲート電極と基板電極とを電氣的に短絡し、前記トランジスタのソース電極とドレイン電極を電氣的に短絡動作するときには、前記トランジスタのチャンネル部に反転層を形成する方向の極性の第一の電圧を前記ゲート電極に少なくとも電源電圧以上の大きさに印加し、前記トランジスタを電氣的に短絡動作させないときには、前記トランジスタのチャンネル部に蓄積層を形成する方向の極性の第二の電圧を前記ゲート電極に印加することを特徴とするダイナミック・ランダム・アクセス・メモリ(DRAM)。

【請求項6】 第一の電圧及び第二の電圧を発生する電位発生装置を直接もしくは適当なスイッチ素子を介して前記スイッチングトランジスタのゲート電極に接続する構造を有することを特徴とする請求項5記載のダイナミック・ランダム・アクセス・メモリ(DRAM)。

【請求項7】 スイッチングトランジスタと2つのインバータからなるメモリセルをアレイ上に並べたスタティック・ランダム・アクセス・メモリ(SRAM)において、前記スイッチングトランジスタのゲート電極と基板電極とを電氣的に短絡し、前記トランジスタのソース電極とドレイン電極を電氣的に短絡動作するときには、前記トランジスタのチャンネル部に反転層を形成する方向の

極性の第一の電圧を前記ゲート電極に少なくとも電源電圧以上の大きさに印加し、前記トランジスタを電氣的に短絡動作させないときには、前記トランジスタのチャンネル部に蓄積層を形成する方向の極性の第二の電圧を前記ゲート電極に印加することを特徴とするスタティック・ランダム・アクセス・メモリ(SRAM)。

【請求項8】 第一の電圧及び第二の電圧を発生する電位発生装置を直接もしくは適当なスイッチ素子を介して前記スイッチングトランジスタのゲート電極に接続する構造を有することを特徴とする請求項7記載のスタティック・ランダム・アクセス・メモリ(SRAM)。

【請求項9】 第一の電圧及び第二の電圧を発生する電位発生装置として、チャージポンプ式の負電圧発生回路が強誘電体を用いた負電位発生回路の少なくとも1つを用いることを特徴とする請求項1～4のいずれかに記載の半導体装置。

【請求項10】 第一の電圧及び第二の電圧を発生する電位発生装置として、チャージポンプ式の負電圧発生回路が強誘電体を用いた負電位発生回路の少なくとも1つを用いることを特徴とする請求項5または6記載のダイナミック・ランダム・アクセス・メモリ(DRAM)。

【請求項11】 第一の電圧及び第二の電圧を発生する電位発生装置として、チャージポンプ式の負電圧発生回路が強誘電体を用いた負電位発生回路の少なくとも1つを用いることを特徴とする請求項7または8記載のスタティック・ランダム・アクセス・メモリ(SRAM)。

【請求項12】 ゲート端子とソース端子とドレイン端子と基板端子とを有し前記ゲート端子と前記基板端子とが電氣的に接続されている電界効果型トランジスタを具備する半導体装置であって、負の電圧を前記ゲート端子に印加する手段を有することを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ON時の駆動電流が大きく、かつOFF時の漏れ電流が小さな半導体装置を可能とし、半導体集積回路の低消費電力化、高速化を同時に実現するものである。

【0002】

【従来の技術】従来のMOSトランジスタの構成を図7(a)に示す。MOSトランジスタは、ゲート端子701、ソース端子702、ドレイン端子703、基板端子704の4つの端子で構成され、通常は基板端子704を一定の電位に固定して使用していた。また一般に、ゲート端子701に印加する電圧は0Vから電源電圧V<sub>dd</sub>の間の電圧である。回路動作の関係で、通常はN型MOSトランジスタの基板端子は0Vに接地し、P型MOSトランジスタの基板端子は電源電圧に固定して使用している。以降、N型MOSトランジスタを例に説明するが、P型MOSトランジスタも極性が異なるだけで本質

的には同じである。

【0003】N型MOSトランジスタの $V_g - \log(I_d)$ 特性を図7(c)の特性1に示す。ゲート端子701に印加する電圧は前述の通り0Vから電源電圧 $V_{dd}$ の間の電圧である。ゲート端子701に電源電圧 $V_{dd}$ を印加するときは、N型MOSトランジスタをONさせる場合であり、このときの $I_d$ の値 $I_{on1}$ を駆動電流と呼ぶ。一方、ゲート端子701に0Vを印加するときは、N型MOSトランジスタをOFFさせる場合であり、このときには電流は流れないことが望ましいが、 $I_d$ は一定の漏れ電流 $I_{off1}$ を示す。駆動電流は回路を駆動させるために必要な電流であり、大きいことが望ましい。一方、漏れ電流は不必要な電流であり、できるだけ削減することが望ましい。

【0004】これを実現するために、図7(b)に示すようなトランジスタ(DTMOS)が提案されている。このトランジスタはゲート端子711と基板端子714とを短絡させるものである。ゲート端子711が0Vのときは、基板端子も0Vであり、従来のMOSと同じ漏れ電流 $I_{off1}$ を示す。一方、ゲート端子711が電源電圧 $V_{dd}$ のときは、ゲート端子711が電源電圧 $V_{dd}$ になるとともに、基板端子714も電源電圧 $V_{dd}$ になるため、通常MOSの駆動電流である $I_{on1}$ より大きな $I_{on2}$ を示す。図7(c)の特性2は基板端子714を電源電圧 $V_{dd}$ に固定したときの、通常のN型MOSトランジスタの特性であり、ゲート端子711と基板端子714とを短絡させたN型MOSトランジスタの駆動電流 $I_{on2}$ はこの特性2上に位置する。よって、ゲート端子711と基板端子714とを短絡させたN型MOSトランジスタはゲート電圧が0Vより大きくなるにつれ、同時に基板バイアスを印加することになるため、その特性としては、図7(c)の特性1と特性2との間に軌跡を描き、特性4のようになる。特性4を見てわかるように、駆動電流を大きくしてかつ漏れ電流を従来と同等に抑えていることがわかる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の技術においては、以下のような課題があった。上記のようなDTMOSを用いても、ゲート端子711に印加する電圧が0Vから電源電圧 $V_{dd}$ の間の電圧である通常の動作をさせる限り、漏れ電流を従来と同等の $I_{off1}$ に抑えるのがやっとなであり、漏れ電流をさらに低減することはできない。一方、携帯機器の普及により、動作速度に関係ない漏れ電流低減の要望はどんどん強くなっており、DTMOSと同等の高い駆動電流を持ちさらに漏れ電流を従来のMOSトランジスタ以下に低減することのできる半導体装置が求められていた。

【0006】

【課題を解決するための手段】本発明の第1の発明は、電界効果型のトランジスタであって、ゲート電極と基板

電極とを電氣的に短絡し、前記トランジスタのソース電極とドレイン電極を電氣的に短絡動作するときには、前記トランジスタのチャネル部に反転層を形成する方向の極性の第一の電圧を前記ゲート電極に少なくとも電源電圧以上の大きさに印加し、前記トランジスタを電氣的に短絡動作させないときには、前記トランジスタのチャネル部に蓄積層を形成する方向の極性の第二の電圧を前記ゲート電極に印加することを特徴とする半導体装置である。前記第二の電圧の絶対値として0V以上0.3V以内の大きさの電圧を用いると小さな電圧で大きな効果が得られ、好ましい場合が多い。前記電界効果型のトランジスタとしてN型のトランジスタを用いた場合は、第一の電圧として電源電圧以上の正の電圧を用い、第二の電圧として負の電圧を用いる。一方、前記電界効果型のトランジスタとしてP型のトランジスタを用いた場合は、第一の電圧としてソース電圧もしくはドレイン電圧に対して相対的に負の電圧でありかつ電源電圧以上の絶対値を有する電圧を用い、第二の電圧としてソース電圧もしくはドレイン電圧に対して相対的に正の電圧を用いる。

【0007】さらに本発明のその他の発明は、スイッチングトランジスタとデータ蓄積容量からなるメモリセルをアレイ上に並べたダイナミック・ランダム・アクセス・メモリ(DRAM)において、前記スイッチングトランジスタのゲート電極と基板電極とを電氣的に短絡し、前記トランジスタのソース電極とドレイン電極を電氣的に短絡動作するときには、前記トランジスタのチャネル部に反転層を形成する方向の極性の第一の電圧を前記ゲート電極に少なくとも電源電圧以上の大きさに印加し、前記トランジスタを電氣的に短絡動作させないときには、前記トランジスタのチャネル部に蓄積層を形成する方向の極性の第二の電圧を前記ゲート電極に印加することを特徴とするダイナミック・ランダム・アクセス・メモリ(DRAM)である。本発明の構成によってリフレッシュサイクルが少なくできるため、待機時消費電力を低減することができ、かつ高速動作が可能なDRAMを実現することができる。第一の電圧及び前記第二の電圧の供給に関しては、前記第一の電圧及び前記第二の電圧を発生する電位発生装置を直接もしくは適当なスイッチ素子を介して前記スイッチングトランジスタのゲート電極に接続する構造を有することで実現することができる。

【0008】また、本発明のその他の発明は、スイッチングトランジスタと2つのインバータからなるメモリセルをアレイ上に並べたスタティック・ランダム・アクセス・メモリ(SRAM)において、前記スイッチングトランジスタのゲート電極と基板電極とを電氣的に短絡し、前記トランジスタのソース電極とドレイン電極を電氣的に短絡動作するときには、前記トランジスタのチャネル部に反転層を形成する方向の極性の第一の電圧を前記ゲート電極に少なくとも電源電圧以上の大きさに印加

し、前記トランジスタを電氣的に短絡動作させないときには、前記トランジスタのチャネル部に蓄積層を形成する方向の極性の第二の電圧を前記ゲート電極に印加することを特徴とするスタティック・ランダム・アクセス・メモリ(SRAM)である。第一の電圧及び前記第二の電圧の供給に関しては、上記と同様、前記第一の電圧及び前記第二の電圧を発生する電位発生装置を直接もしくは適当なスイッチ素子を介して前記スイッチングトランジスタのゲート電極に接続する構造を有することで実現することができる。

【0009】本発明の目的は、従来提案されてきたDTMOSと同等の高い駆動電流を持ちさらに漏れ電流を大幅に低減することのできる半導体装置を提供することにある。

【0010】

【発明の実施の形態】以下、本発明の実施の形態における半導体装置について図面を参照しながら説明する。

【0011】(実施の形態1)図1(b)に本発明にかかるN型トランジスタの構成を示す。図面の上では、従来から提案されているDTMOSと同じ構成を示しているように見えるが、後述の通り、動作方法に違いがある。参考のために、従来のMOSトランジスタの構成を図1(a)に示す。

【0012】本発明にかかるN型トランジスタは、ゲート端子111、ソース端子112、ドレイン端子113、基板端子114の4つの端子で構成され、かつゲート端子111と基板端子114とを短絡させる。また、ゲート端子111に印加する電圧は $V_{b1}$ から電源電圧 $V_{dd}$ の間の電圧である。ここで、 $V_{b1}$ は0V以下の負の電圧である。前述の通り、ゲート端子111が電源電圧 $V_{dd}$ のときは、ゲート端子111が電源電圧 $V_{dd}$ になるとともに、基板端子114も電源電圧 $V_{dd}$ になるため、通常MOSの駆動電流である図1(c)の $I_{on1}$ より大きな $I_{on2}$ を示す。この電位は本N型トランジスタのチャネル部に反転層を形成する方向の電位である。一方、ゲート端子111が $V_{b1}$ のときは、ゲート端子111が $V_{b1}$ になるとともに、基板端子114も $V_{b1}$ になる。この電位は本N型トランジスタのチャネル部に蓄積層を形成する方向の電位である。基板電圧が負になるため、漏れ電流は、図1(a)に示す通常のMOSトランジスタの、ゲート端子101を $V_{b1}$ にしたときの値である $I_{off4}$ よりも小さな $I_{off3}$ となる。参考のために、通常のMOSトランジスタの基板端子104を $V_{b1}$ に固定したときの特性を特性3として図1(c)に示す。よって、ゲート端子111と基板端子114とを短絡させたN型MOSトランジスタの漏れ電流 $I_{off3}$ はこの特性3上に位置する。よって、本実施形態にかかるN型トランジスタの特性は、図1(c)の特性4に示す通り、図1(c)の特性2と特性3との間に軌跡を描き、特性4のようになる。特性4を見てわかる

ように、駆動電流を大きくしてかつ漏れ電流も従来よりも抑制していることがわかる。例えば、サブスレッショルド特性が $100\text{mV}/\text{dec}$ のトランジスタを用いた場合、 $V_{b1}$ を $-0.2\text{V}$ とすることで、漏れ電流を従来よりも2桁以上抑制することが可能となり、DTMOSと同等の高い駆動電流を持ちさらに漏れ電流を従来のMOSトランジスタ以下に低減することのできる半導体装置を実現することが可能となる。

【0013】本実施形態の半導体装置は、N型トランジスタを例に説明したが、P型トランジスタも同様に用いることができる。この場合、電圧の極性を全て変更すればそのまま同様のことが成り立ち、高い駆動電流と低い漏れ電流を両立させることができる。

【0014】本実施形態に係る半導体装置であるN型トランジスタもしくはP型トランジスタのゲート端子を集積回路のクロックに接続してクロック同期回路を形成すれば、高速で、漏れ電流の少ない高性能な回路を形成することができる。基板端子の電圧がゲート端子と同じになるため、従来のMOSで問題となる基板バイアス効果によるソースドレイン間の電圧伝達ロスとはほぼ軽減される。よって、ゲート端子の電源電圧以上の昇圧は必要でなくなる場合が多い。

【0015】本実施形態の半導体装置においては、負バイアスをトランジスタのゲート端子に印加する必要があるが、負バイアス発生回路としては、図2～図3に示す各種のチャージポンプ回路や、図4に示す強誘電体を用いた負電位発生回路などを用いることができる。この場合、各回路の出力端子を直接もしくは適当な回路を通して間接的にゲート端子に接続する。

【0016】本実施形態にかかる半導体装置は、ゲート端子とソース端子とドレイン端子と基板端子とを有し前記ゲート端子と前記基板端子とが電氣的に接続されている電界効果型トランジスタを具備しており、負の電圧を前記ゲート端子に印加する手段を有しているため、従来提案されてきたDTMOSと同等の高い駆動電流を持ち、さらに漏れ電流を大幅に低減することができる。

【0017】(実施の形態2)実施の形態1にかかるN型トランジスタをDRAMメモリセル内のスイッチングトランジスタに用いた場合の回路図を図5に示す。各メモリセルはスイッチングトランジスタ54とデータ蓄積用コンデンサ55で構成される。一方、スイッチングトランジスタ54のゲート端子はワードライン(WL)57と接続され、通常WL57を介して複数のメモリセルのスイッチングトランジスタと接続されている。また、WL57は、スイッチ素子52を介して電位発生装置51と接続されている。また、スイッチングトランジスタ54のソース端子はビットライン(BL)53と接続されている。このBL53には通常複数のスイッチングトランジスタ54のソース端子が接続されている。メモリセルにデータを保持した状態のときは、WL57には負

電圧が印加される。この負電圧は、スイッチ素子 52 を介して電位発生装置 51 から供給される。実施の形態 1 で述べた通り、例えば電源電圧 0.6 V に対して、WL 57 に印加される負電圧が -0.2 V の場合、漏れ電流は従来の 2 桁以上低減することができる。漏れ電流が低減されると、DRAM に必要なリフレッシュ動作のサイクルを単位時間当たり削減することが可能となる。このことも、待機時の消費電力低減に大きく貢献する。一方、メモリセルのデータを読み出すとき、あるいはデータをメモリセルに格納するときは、WL 57 に電源電圧もしくはそれ以上の高電圧を印加し、大きな駆動電流でスイッチングトランジスタ 54 を駆動し、メモリセル内のデータを BL 53 上に高速で読み出したり、BL 53 上のデータをメモリセル内に高速で書き込んだりすることができる。本実施形態にかかる N 型トランジスタは、ゲート端子と基板端子とを短絡させているため、WL 57 に電源電圧を印加したときに、基板端子にも同じ電圧が印加されるため、従来の MOS で問題となる基板バイアス効果によるソースドレイン間の電圧伝達ロスとはほぼ軽減される。よって、従来の DRAM で用いられる WL 57 の昇圧は必要でなくなる場合がある。

【0018】本実施形態にかかる半導体装置を用いると、漏れ電流が減少し、リフレッシュサイクルが少なくできるため、待機時消費電力を低減することができる。かつ高速動作が可能な DRAM を実現することができる。この DRAM がその他のブロックと同一チップ上に形成され、システム LSI の一部として機能することができることは言うまでもない。

【0019】（実施の形態 3）実施の形態 1 にかかる N 型トランジスタを SRAM メモリセル内のスイッチングトランジスタに用いた場合の回路図を図 6 に示す。各メモリセルは 2 つのスイッチングトランジスタ 64 と、2 つのインバータ 65 で構成されるデータ蓄積用ラッチとで構成される。スイッチングトランジスタ 64 のゲート端子はワードライン (WL) 67 で複数のメモリセルのスイッチングトランジスタと接続されている。また、WL 67 は、スイッチ素子 62 を介して電位発生装置 61 と接続されている。また、2 つのスイッチングトランジスタ 64 の内、1 つのスイッチングトランジスタ 64 のソース端子はビットライン (BL) 63 と接続されており、もう一方のスイッチングトランジスタ 64 のソース端子はビットラインバー (/BL) 66 と接続されている。BL 63 や /BL 66 には通常複数のスイッチングトランジスタ 54 のソース端子が接続されている。メモリセルにデータを保持した状態のときは、WL 67 には負電圧が印加される。この負電圧は、スイッチ素子 62 を介して電位発生装置 61 から供給される。実施の形態 1 で述べた通り、例えば電源電圧 0.6 V に対して、WL 67 に印加される負電圧が -0.2 V の場合、漏れ電流は従来の 2 桁以上低減することができる。漏れ電流が

低減されると、待機時の消費電力が低減される。一方、メモリセルのデータを読み出すとき、あるいはデータをメモリセルに格納するときは、WL 67 に電源電圧もしくはそれ以上の高電圧を印加し、大きな駆動電流で 2 つのスイッチングトランジスタ 64 を駆動し、メモリセル内のデータを BL 63 上に高速で読み出したり、BL 63 上のデータをメモリセル内に高速で書き込んだりすることができる。

【0020】よって、待機時消費電力を低減し、かつ高速動作が可能な SRAM を実現することができる。この SRAM がその他のブロックと同一チップ上に形成され、システム LSI の一部として機能することができることは言うまでもない。

【0021】

【発明の効果】以上説明したように、本発明によれば、N 型 MOS トランジスタのゲート端子と基板端子を短絡させ、かつゲート端子に印加する電圧として電源電圧から負電圧までを用いることにより、従来提案されてきた DT MOS と同等の高い駆動電流を持ちさらに漏れ電流を大幅に低減することのできる半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】(a) 従来のトランジスタの構成図

(b) 本発明のトランジスタの構成図

(c) 従来及び本発明のトランジスタの特性を示す図

【図 2】本発明の半導体装置を構成する負電源発生回路の回路図例を示す図

【図 3】本発明の半導体装置を構成する負電源発生回路の回路図例を示す図

【図 4】本発明の半導体装置を構成する負電源発生回路の回路図例を示す図

【図 5】本発明の半導体装置を用いて構成した DRAM 回路例を示す図

【図 6】本発明の半導体装置を用いて構成した SRAM 回路例を示す図

【図 7】(a) 従来のトランジスタの構成図

(b) DT MOS のトランジスタの構成図

(c) 従来のトランジスタの特性を示す図

【符号の説明】

- 101 ゲート端子
- 102 ソース端子
- 103 ドレイン端子
- 104 基板端子
- 111 ゲート端子
- 112 ソース端子
- 113 ドレイン端子
- 114 基板端子
- 21 入力端子
- 22 チャージポンプキャパシタ
- 23 N 型 MOS トランジスタ

9

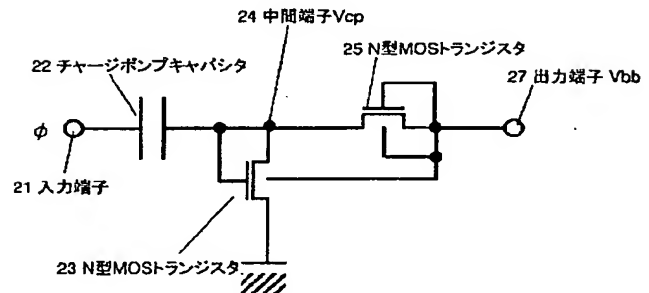
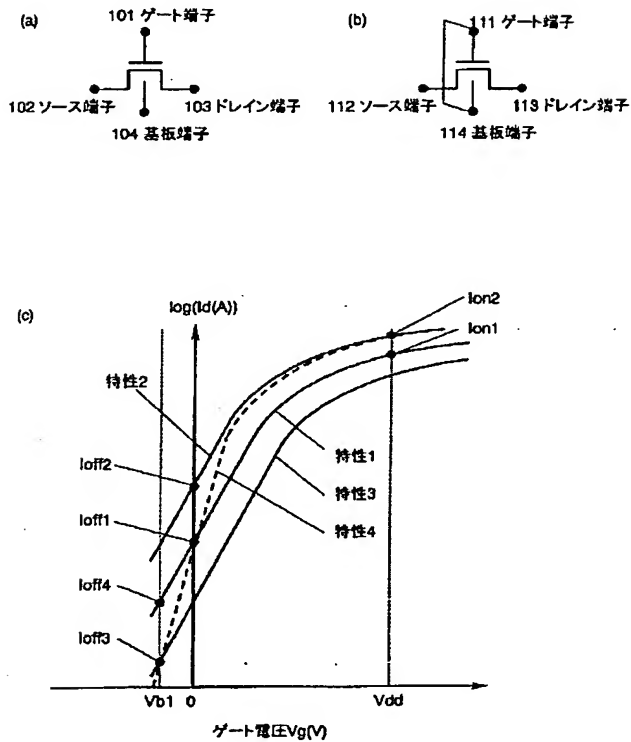
10

- 24 中間端子  $V_{cp}$
- 25 N型MOSトランジスタ
- 27 出力端子
- 31 入力端子
- 32 インバータ
- 33 チャージポンプキャパシタ1
- 34 チャージポンプキャパシタ2
- 35 p型MOSトランジスタ1
- 36 p型MOSトランジスタ2
- 37 N型MOSトランジスタ
- 38 出力端子
- 1 N型MOSトランジスタ
- 2 リセット制御端子  $V_{rg}$
- 3 強誘電体書き込み端子  $V_{wp}$
- 4 常誘電体キャパシタ
- 5 接続端子  $V_{cp}$
- 6 強誘電体キャパシタ
- 7 強誘電体リセット端子  $V_{rp}$

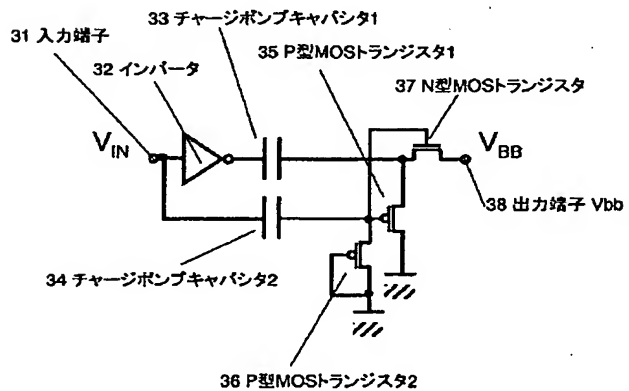
- 8 出力制御端子  $V_{og}$
- 9 N型MOSトランジスタ
- 11 出力端子
- 51 電位発生装置
- 52 スイッチ素子
- 53 ビットライン (BL)
- 54 スイッチングトランジスタ
- 55 データ蓄積用コンデンサ
- 56 ビットライン (BL)
- 10 57 ワードライン (WL)
- 61 電位発生装置
- 62 スイッチ素子
- 63 ビットライン (BL)
- 64 スイッチングトランジスタ
- 65 インバータ
- 66 ビットラインバー ( $\neg$ BL)
- 67 ワードライン (WL)

【図1】

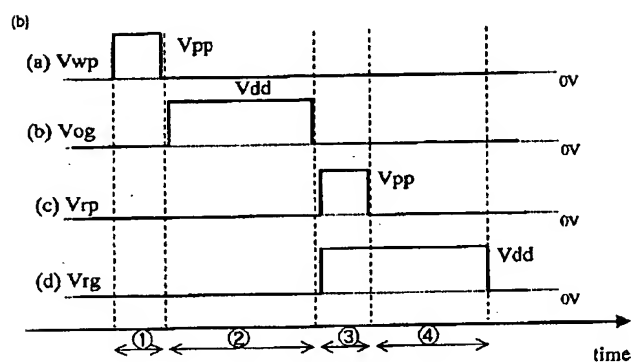
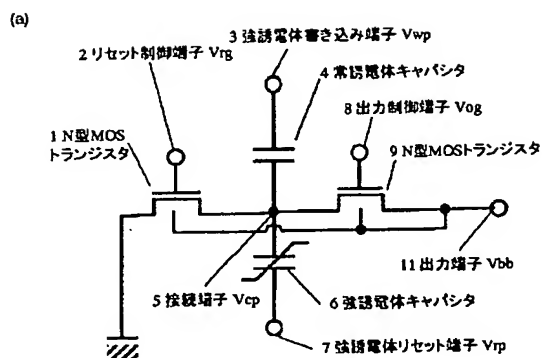
【図2】



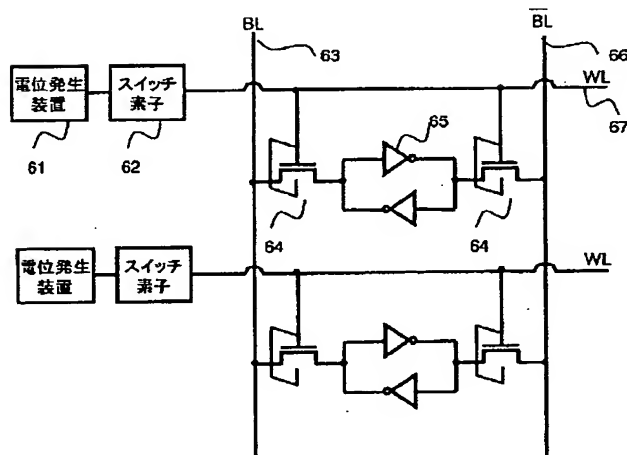
【図3】



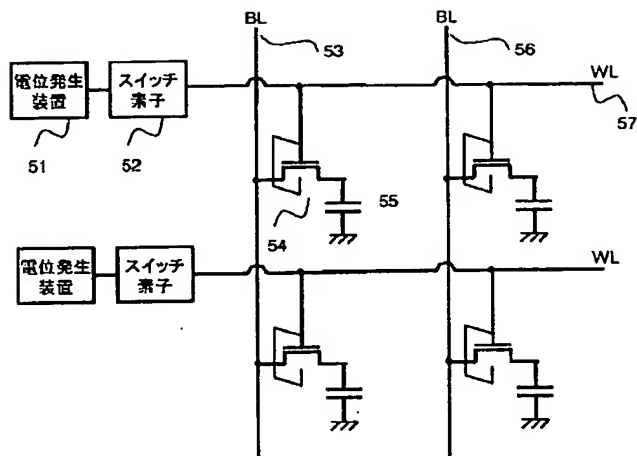
【図4】



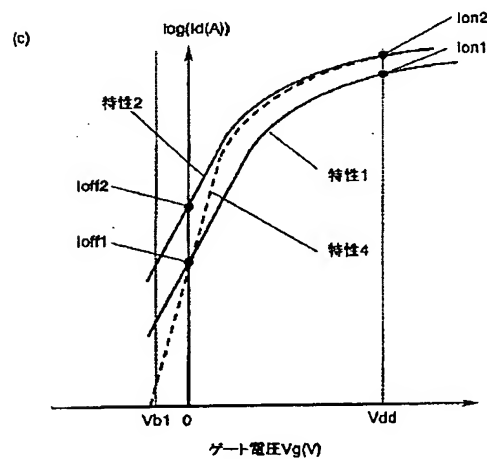
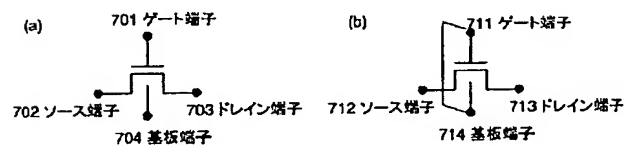
【図6】



【図5】



【図7】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 27/108



(72)発明者 上田 路人  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 5F038 AV06 BG03 BG05 CA02 DF05  
DF08 E220  
5F083 GA06 HA03  
5F140 AA01 AA24 AC10 AC32